

Figure 1 is a block diagram of a data processing system. A bus system (1) connects a CPU (21) and a peripheral device (22). The CPU (21) contains a register (31), a data latch (32), and a control unit (40). The control unit (40) includes a data bus (41), a control bus (42), and a control unit (43). The peripheral device (22) is connected to the bus system (1) via a data bus (44).

## 【特許請求の範囲】

【請求項 1】 画像データに係る画像を表示部に表示するように制御する表示制御装置であって、  
前記画像データと、複数回連続して送られてくる前記画像データの  
前記表示部における表示位置に係るアドレスデータとを入力する入力手段と、  
前記入力手段より入力された複数のアドレスデータ同士を比較する比較手段と、  
前記比較手段による比較結果に基づいて、前記アドレスデータの再送を要求する制御信号を出力する出力手段と、  
前記入力手段により入力された画像データを前記アドレスデータで指示されるアドレスに書込んで前記表示部に表示するように制御する制御手段と、を有することを特徴とする表示制御装置。

【請求項 2】 前記画像データと前記アドレスデータは同じデータ信号線を介して入力され、前記アドレスデータであることを示す制御信号が伝送される制御信号線を更に有することを特徴とする請求項 1 に記載の表示制御装置。

【請求項 3】 前記画像データと前記アドレスデータに同期するクロック信号を更に有し、  
前記比較手段は、  
前記クロック信号に同期して前記入力手段により入力されるアドレスデータをラッチするラッチ手段と、  
前記ラッチ手段の出力と、次に入力されるアドレスデータとの排他的論理を取るゲート手段とを有することを特徴とする請求項 1 又は 2 に記載の表示制御装置。

【請求項 4】 画像データに係る画像を表示部に表示するように制御する表示制御装置であって、  
前記画像データと、複数回連続して送られてくる前記画像データの  
前記表示部における表示位置に係るアドレスデータとを入力する入力手段と、  
前記入力手段より入力された複数のアドレスデータから多数決をとったアドレスデータを出力するデータ補正手段と、  
前記入力手段により入力された画像データを前記データ補正手段から出力されるアドレスデータで指示されるアドレスに書込んで前記表示部に表示するように制御する制御手段と、を有することを特徴とする表示制御装置。

【請求項 5】 前記画像データと前記アドレスデータは同じデータ信号線を介して入力され、前記アドレスデータであることを示す制御信号が伝送される制御信号線を更に有することを特徴とする請求項 4 に記載の表示制御装置。

【請求項 6】 前記複数回は奇数回であることを特徴とする請求項 4 又は 5 に記載の表示制御装置。

【請求項 7】 前記アドレスデータは複数ビットを含み、  
前記データ補正手段は、1 ビットずつの多数決を取って

出力することを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の表示制御装置。

【請求項 8】 画像データに係る画像を表示部に表示するように制御する表示制御方法であって、  
前記画像データと、複数回連続して送られてくる前記画像データの  
前記表示部における表示位置に係るアドレスデータとを入力する入力工程と、  
前記入力工程で入力された複数のアドレスデータ同士を比較する比較工程と、  
前記比較工程による比較結果に基づいて前記アドレスデータの再送を要求する制御信号を出力する出力工程と、  
前記入力工程で入力された画像データを前記アドレスデータで指示されるアドレスに書込んで前記表示部に表示するように制御する制御工程と、を有することを特徴とする表示制御方法。

【請求項 9】 前記画像データと前記アドレスデータは同じデータ信号線を介して入力され、前記アドレスデータであることを示す制御信号が別の制御信号線を介して入力されることを特徴とする請求項 8 に記載の表示制御方法。

【請求項 10】 前記画像データと前記アドレスデータに同期するクロック信号を更に有し、  
前記比較工程では、  
前記クロック信号に同期して前記入力手段により入力されるアドレスデータをラッチし、そのラッチ出力と、次に入力されるアドレスデータとの排他的論理を取ることを特徴とする請求項 8 又は 9 に記載の表示制御方法。

【請求項 11】 画像データに係る画像を表示部に表示するように制御する表示制御方法であって、  
前記画像データと、複数回連続して送られてくる前記画像データの  
前記表示部における表示位置に係るアドレスデータとを入力する入力工程と、  
前記入力工程で入力された複数のアドレスデータから多数決をとったアドレスデータを出力するデータ補正工程と、  
前記入力工程で入力された画像データを前記データ補正工程で出力されるアドレスデータで指示されるアドレスに書込んで前記表示部に表示するように制御する制御工程と、を有することを特徴とする表示制御方法。

【請求項 12】 前記画像データと前記アドレスデータは同じデータ信号線を介して入力され、前記アドレスデータであることを示す制御信号が別の制御信号線を介して伝送されることを特徴とする請求項 11 に記載の表示制御方法。

【請求項 13】 前記複数回は奇数回であることを特徴とする請求項 11 又は 12 に記載の表示制御方法。

【請求項 14】 前記アドレスデータは複数ビットを含み、  
前記データ補正工程では 1 ビットずつの多数決を取って出力することを特徴とする請求項 11 乃至 13 のいずれ

か 1 項に記載の表示制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像信号を表示装置に出力して画像を表示する表示制御方法及び装置に関するものである。

【0002】

【従来の技術】強誘電性液晶を用いた液晶表示器（以降 F L C D）が実用化されている。この F L C D は、一旦描画された画像の内容を保持し続けるというメモリ効果を有しているため、通常の C R T ディスプレイや T F T ディスプレイのように、絶えず描画動作を繰り返すリフレッシュが不要になっている。従って、表示画像を更新する際には、前画面（前フレーム）の内の画像が変化した部分の画像データのみを F L C D に伝送し、その部分の画像データだけを更新して描画し直し、前画面から変化していない画像データ部分は更新することなくそのまま同じ画像を表示し続ける、所謂「部分書き換え」動作を行っている。

【0003】このため、通常の C R T や T F T ディスプレイ等に描画する際には、水平、垂直同期信号と、それに続けて各画素に対応した画素データをホストコンピュータからディスプレイに繰り返し送信するのに対し、F L C D に描画する際には、何番目の水平走査線であるかを示すラインアドレスデータと、このアドレスデータに続けて、その 1 水平走査線分の画像データを、画面が更新された場合にのみ送信している。

【0004】

【発明が解決しようとする課題】このような従来の F L C D における画像データの送信方法では、F L C D が受信したデータに誤りがあったとしても、これを検知したり訂正する機能は無い。そして画像データに誤りがあったとしても、その誤りによる画像の乱れなどはあまり目立たないため許容出来る。しかしながら、表示画像の更新位置を示すラインアドレスに誤りが発生した場合には、新たに伝送された画像データが全く無関係の部分に描画されてしまう。更には、その誤って画像データが書込まれたラインには、そのラインに対して新たな書き換え動作が生じない限り、誤って書込まれた無関係な画像が表示し続けられることになり、このようなエラーによる表示の乱れはかなり目立つこととなる。

【0005】本発明は上記従来例に鑑みてなされたもので、データの誤りによる影響が大きいアドレスデータにおける誤りを検知して、誤った描画処理を防止する表示制御方法及び装置を提供することを目的とする。

【0006】また本発明の目的は、複数回連続して送信されるアドレスデータを受信し、それら複数回のアドレスデータの多数決を基に画像データを書込むためのアドレスを決定することにより、アドレスデータにおける伝送エラーの影響を抑えて表示画像の乱れを防止する表示

制御方法及び装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために本発明の表示制御装置は以下のような構成を備える。即ち、画像データに係る画像を表示部に表示するように制御する表示制御装置であって、前記画像データと、複数回連続して送られてくる前記画像データの前記表示部における表示位置に係るアドレスデータとを入力する入力手段と、前記入力手段より入力された複数のアドレスデータ同士を比較する比較手段と、前記比較手段による比較結果に基づいて、前記アドレスデータの再送を要求する制御信号を出力する出力手段と、前記入力手段により入力された画像データを前記アドレスデータで指示されるアドレスに書込んで前記表示部に表示するように制御する制御手段とを有することを特徴とする。

【0008】また上記目的を達成するために本発明の表示制御装置は以下のような構成を備える。即ち、画像データに係る画像を表示部に表示するように制御する表示制御装置であって、前記画像データと、複数回連続して送られてくる前記画像データの前記表示部における表示位置に係るアドレスデータとを入力する入力手段と、前記入力手段より入力された複数のアドレスデータから多数決をとったアドレスデータを出力するデータ補正手段と、前記入力手段により入力された画像データを前記データ補正手段から出力されるアドレスデータで指示されるアドレスに書込んで前記表示部に表示するように制御する制御手段とを有することを特徴とする。

【0009】上記目的を達成するために本発明の表示制御方法は以下のような工程を備える。即ち、画像データに係る画像を表示部に表示するように制御する表示制御方法であって、前記画像データと、複数回連続して送られてくる前記画像データの前記表示部における表示位置に係るアドレスデータとを入力する入力工程と、前記入力工程で入力された複数のアドレスデータ同士を比較する比較工程と、前記比較工程による比較結果に基づいて前記アドレスデータの再送を要求する制御信号を出力する出力工程と、前記入力工程で入力された画像データを前記アドレスデータで指示されるアドレスに書込んで前記表示部に表示するように制御する制御工程とを有することを特徴とする。

【0010】また上記目的を達成するために本発明の表示制御方法は以下のような工程を備える。即ち、画像データに係る画像を表示部に表示するように制御する表示制御方法であって、前記画像データと、複数回連続して送られてくる前記画像データの前記表示部における表示位置に係るアドレスデータとを入力する入力工程と、前記入力工程で入力された複数のアドレスデータから多数決をとったアドレスデータを出力するデータ補正工程と、前記入力工程で入力された画像データを前記データ補正工程で出力されるアドレスデータで指示されるアド

レスに書込んで前記表示部に表示するように制御する制御工程とを有することを特徴とする。

【0011】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0012】図1は本発明の実施の形態に係る表示装置の構成を示すブロック図である。

【0013】図1において、101は制御部で、例えばCPU、CPUにより実行されるプログラムや各種データを記憶するメモリ等を備え、強誘電性液晶表示器（FLCD）102に画像を表示するように制御している。この制御部101とFLCD102とはケーブルを介して接続されており、このケーブルには、制御部101からFLCD102に送られる信号を含む信号線11と、FLCD102から制御部101に送られる信号を含む信号線12が含まれている。このうち信号線11には、データに同期したクロック信号（CLK）、アドレスデータを示すAHD L信号、及び16ビットデータ（DATA0～DATA15）等が含まれている。

【0014】以上の構成に基づく本発明の実施の形態1について以下に説明する。

【0015】【実施の形態1】図2は、本発明の実施の形態1に係るFLCD102のデータ受信部の機能構成を示すブロック図、図3は本実施の形態1においてFLCD102が受信する16ビットデータとクロック（CLK）及びADHL信号のタイミングを説明する図である。

【0016】図2において、11、12は前述したFLCD用の画像データ通信用I/Fケーブルである。21は差動信号レシーバ、22は差動信号トランスミッタ、31及び33はDタイプのフリップフロップ（以降D-F/F）である。41は排他論理和ゲート（EXOR）、42はANDゲート、43はORゲート、60は描画データ処理ブロックである。

【0017】いま、制御部101が、FLCD102に表示される画像データのある部分を変更する場合を考える。この場合、図3に示すように、最初に、（DATA0～DATA15）に16ビットのラインアドレスデータが送られてきて、それ以降に16ビットの画像データがパラレルで出力される。

【0018】ここで、制御部101から出力される画像データとラインアドレスデータについて説明する。

【0019】図3において、DATA0～DATA15が16ビットのデータ線であり、これとクロックCLK、及び判別信号AHD Lの合計18本の信号線がケーブル11に含まれている。ここで信号AHD Lは、アドレスデータの先頭を示す信号であり、通常はロウレベルで、16ビットのアドレスデータの先頭でのみハイレベルとなる。そして、この判別信号ADHLがハイレベルとなった後、その直後にDATA0～DATA15を介

して同じアドレスデータが連続して2回出力される。図3でハッチがかかった部分300がこれに相当している。

【0020】このアドレスデータに続いて複数の画像データ301が送られ、これら複数の画像データが1水平走査分の画像データに相当している。

【0021】尚、図2において、D-F/F31、EXORゲート41、ANDゲート42はそれぞれ1個ずつで記されているが、DATA0～DATA15の16本の信号線に対応して、それぞれ16個ずつ設けられており、ORゲート43は、これら16個のANDゲート42の全ての出力の論理和をとっている。

【0022】レシーバ21で受信されたDATA0～DATA15は、直接EXOR41に入力されるとともに、D-F/F31で、クロックCLKの1クロック分遅延された後、EXOR41のもう一方の入力端子に入力されている。これにより、EXOR41は、CLKに同期して時系列的に連続した2つのアドレスデータ（DATA0～DATA15）同士の排他論理和をとることになる。このEXOR41の出力は、ANDゲート42により、D-F/F32で1クロック分遅延させられた信号AHD Lでゲートされる。即ち、信号AHD Lがハイレベルで受信されると、CLKの次のクロックのタイミングでANDゲート42を開くように、ハイレベルの信号をANDゲート42の一方の入力端子に出力する。

【0023】このようにしてEXOR41には、1回目のラインアドレスデータと2回目のラインアドレスデータとが入力され、両者が完全に一致しなければハイレベルの信号をANDゲート42の他方の入力端子に出力する。上述のように、この時、ANDゲート42の一方の端子には、信号AHD Lが遅延されたハイレベルの信号が入力されているため、このタイミングでEXOR41の出力が次のORゲート43に出力される。ここでORゲート43は、16本の入力端子の内、いずれか1つでもハイレベルになっていれば、言い換えれば、DATA0～DATA15のいずれか一つにおいても、1回目と2回目のラインアドレスが異なれば、ラインアドレスデータエラーを検知したことになり、エラー信号44をハイレベルにして出力する。このエラー信号44は描画データ処理ブロック60に伝えられると共に、トランスミッタ22を介して制御部101にも送られる。こうして制御部101は、I/Fケーブル12を介して送られてくる、このエラー信号44を受取ると、再度、ラインアドレスデータ（DATA0～DATA15）と信号AHD Lの送信をやり直す。

【0024】図4は、本実施の形態に係る制御部101における制御処理を示すフローチャートで、この処理を実行するプログラムは、制御部101の不図示のメモリに格納されている。

【0025】この処理は例えば、FLCD102に表示されている画像の一部分だけを書き換える「部分書き換え」要求が発生することにより開始され、まずステップS1で、判別信号ADHLをハイレベルにする。次にステップS2に進み、その部分書き換えを行うアドレス(16ビット)を出力する。次にステップS3で、クロックFLCKの次のクロックタイミングになったかどうかを調べ、次のクロックのタイミングになるとステップS4に進み、ステップS2で出力したのと同じアドレスを再度出力する。そしてステップS5に進み、エラー信号44がハイレベルで入力されるかどうかを調べ、エラー信号44がハイレベルでなければ、即ち、2回連続して出力した同じアドレスが、FLCD102で2回とも同じであると確認されていれば、その出力したアドレスはFLCD102で正常に受信されていると判断してステップS6に進み、クロックFLCKに同期して、そのアドレスに表示する画像データを出力する。

【0026】一方、ステップS5でエラー信号44がハイレベルであればステップS7に進み、そのエラー信号が44がN回連続して発生したかを調べる。N回連続して発生していなければステップS1に戻り、前述の処理を繰り返し実行する。ここでもし、N回連続して発生した場合には、例えばハードウェアによる欠陥等が考えられるため、ステップS8に進み、エラーの発生を表示部等を使用してユーザに報知するなどのエラー処理を行う。

【0027】〔実施の形態2〕図5及び図6は、本発明の実施の形態2に係るFLCD102のデータ受信部の機能構成を示すブロック図で、前述の図2と共通する部分は同じ番号で示し、それらの説明を省略する。

【0028】なお、ここではD-F/F32は16ビットの信号をラッチするフリップフロップで、D-F/F31とシリアルに接続されており、データ信号(DAT A0~15)をクロックFLCKの2クロック分遅延させている。5はアドレスデータ補正ブロックで、DATA0~DATA15の16ビット分の回路を有している。このアドレスデータ補正ブロック5は、2つのANDゲート51、53と、2つのEXORゲート52、54を有しており、3つの入力端子a、b、cから入力される信号に対応して信号45を生成して出力している。

【0029】尚、これら入力端子a、b、cの信号の論理値と、各ゲートから出力される論理値との関係を図7に示す。

【0030】図7において、a、b、cの3入力のうち2つ以上“0”があればEXORゲート54の出力が“0”となり、a、b、cの3入力のうち2つ以上“1”があればEXORゲート54の出力が“1”となって信号45として出力されている。即ち、信号45は、3入力の多数決を取った16ビットのデータ信号となっている。

【0031】図6は、この実施の形態2に係る信号のタイミングを説明するタイミング図である。

【0032】図6に示すように、信号AHDLがハイレベルになった時点から、3クロック分続けてラインアドレスデータが送信される。この3回連続したラインアドレスデータは、D-F/F31、32により、それぞれFLCKの1クロック分、2クロック分遅延され、これら遅延された信号のそれぞれは入力端子b、cに入力され、入力端子aから入力される遅延されていないデータとともに、アドレスデータ補正ブロック5に入力される。

【0033】ここで、図7に示すように、時系列に3回連続したラインアドレスデータのうち、いずれか1回分のアドレスデータにエラーが発生したとしても、残りの2回分のアドレスデータが正常に受信されていれば、その正常に受信されたラインアドレスデータがアドレスデータ補正ブロック5から出力される。

【0034】こうして描画データ処理ブロック60は、信号AHDLを受け取ってから、FLCKの2クロック後に、アドレスデータ補正ブロック5からラインアドレスデータを受け取ることになる。

【0035】このように本実施の形態2によれば、制御部から同じアドレスデータを3回連続して出力し、そのアドレスデータを受信して、その受信した回数の多い方のデータを正常なデータと判断することにより、より正確なアドレスデータを受信できる確率を高めることができる。

【0036】〔その他の実施の形態〕尚、前述の実施の形態1及び2において、ラインアドレスのエラー検知又はエラー補正をロジック回路を用いたハードウェアにて処理しているが、これをCPU等に取り込んでソフトウェアにより処理しても同等の効果が得られることは言うまでもない。

【0037】また、前述の実施の形態1では、2回のラインアドレスデータを比較してエラーを検知していたが、更に回数を増やして、2回以上のデータを比較することも可能である。

【0038】同様に、前述の実施の形態2では、3回のラインアドレスデータから多数決をとることによりエラー補正を行っていたが、これもこの回数に限定されるものでなく、3回以上の奇数回に対して多数決を取っても良い。

【0039】また前述の実施の形態2では、各ビット毎に多数決をとっているが、全ビット一括して、或はバイト単位で処理しても良い。また、その時、いずれもラインアドレスデータが異なり、多数決の結果が得られない場合には、前述の実施の形態1の様に、制御部(或はホストコンピュータ)側に再送信を要求する方法も考えられる。

【0040】なお、本発明は、複数の機器(例えばホス

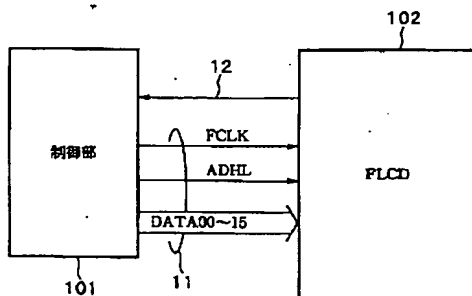
トコンピュータ、インタフェイス機器、リーダ、プリンタなど) から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置など)に適用してもよい。

【0041】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体(または記録媒体)を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ(またはCPUやMPU)が記憶媒体に格納されたプログラムコードを読み出し実行することによっても達成される。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム(OS)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【0042】更に、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【0043】以上説明したように本実施の形態によれば、ラインアドレスデータを2回以上送信し、これを受信したFLCD側はラインアドレスデータを比較し、もしいずれか一つでも一致しない場合には、送信側に再送信を要求することにより、表示画面上での目立ち易い、

【図1】



誤った描画の発生を大幅に軽減できる。

【0044】また、ラインアドレスデータのみを奇数( $2n+1$ )回以上送信し、これを受信したFLCD側では、ラインアドレスデータの多数決処理によりアドレスデータを決定することにより、表示画面上での目立ち易い誤った描画の発生を大幅に軽減できる。

【0045】

【発明の効果】以上説明したように本発明によれば、データの誤りによる影響が大きいアドレスデータにおける誤りを検知して、誤った描画処理を防止することができる。

【0046】また本発明によれば、複数回連続して送信されるアドレスデータを受信し、それら複数回のアドレスデータの多数決を基に画像データを書込むためのアドレスを決定することにより、アドレスデータにおける伝送エラーの影響を抑えて表示画像の乱れを防止することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る表示装置の構成を示すブロック図である。

【図2】本発明の実施の形態1に係るFLCDのデータ受信部の機能ブロック図である。

【図3】本発明の実施の形態1に係るアドレスデータの出力タイミングを説明する図である。

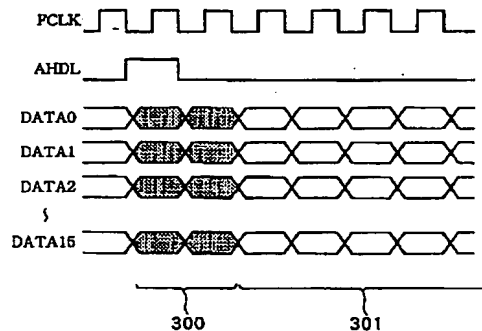
【図4】本発明の実施の形態1に係る制御部の動作を示すフローチャートである。

【図5】本発明の実施の形態2に係るFLCDのデータ受信部の機能ブロック図である。

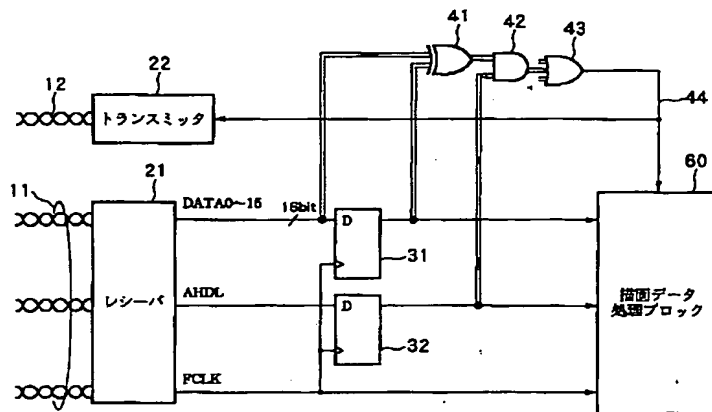
【図6】本発明の実施の形態2に係るアドレスデータの出力タイミングを説明する図である。

【図7】本発明の実施の形態2に係るアドレスデータ補正ブロックにおける入力データと出力データとの関係を説明する図である。

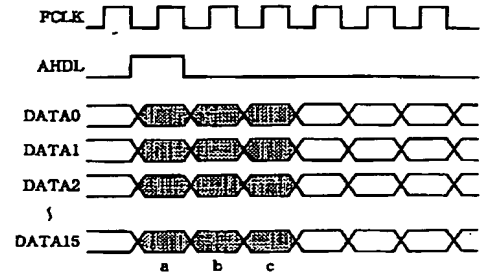
【図3】



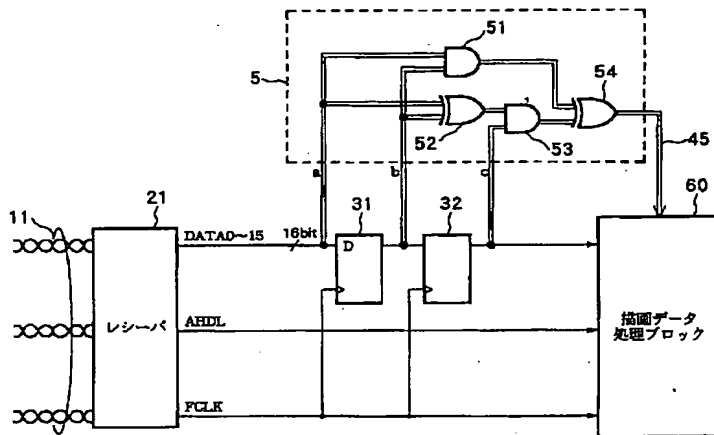
【図2】



【図6】



【図5】



【図7】

a	b	c	51 AND	52 Ex-OR	53 AND	54 Ex-OR
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	1	0	0
0	1	1	0	1	1	1
1	0	0	0	1	0	0
1	0	1	0	1	1	1
1	1	0	1	0	0	1
1	1	1	1	0	0	1

【図 4】

